



Ministero delle Attività Produttive
Direzione Generale per lo Sviluppo Produttivo e la Competitività
Ufficio Italiano Brevetti e Marchi
Ufficio G2

Autenticazione di copia di documenti relativi alla domanda di brevetto per: *Invenzione Industriale*

N.° M12003 A 000485



*Si dichiara che l'unita copia è conforme ai documenti originali
depositati con la domanda di brevetto sopraspecificata, i cui dati
risultano dall'accluso processo verbale di deposito.*

BEST AVAILABLE COPY

29 MAR. 2004

CERTIFIED COPY OF
PRIORITY DOCUMENT

IL FUNZIONARIO

Elena Marinelli

ELISA E. MARINELLI



AL MINISTERO DELLE ATTIVITÀ PRODUTTIVE

UFFICIO ITALIANO BREVETTI E MARCHI - ROMA

DOMANDA DI BREVETTO PER INVENZIONE INDUSTRIALE, DEPOSITO RISERVE, ANTICIPATA ACCESSIBILITÀ AL PUBBLICO

MODULO A

A. RICHIEDENTE (I)

1) Denominazione SMicroelectronics S.r.l. N.G. SR
Residenza AGRATE BRIANZA (MI) codice 100.95.19.00.96.8
2) Denominazione _____
Residenza _____ codice _____

B. RAPPRESENTANTE DEL RICHIEDENTE PRESSO L'U.I.B.M.

cognome nome MACCALLI MARCO ED ALTRI cod. fiscale _____
denominazione studio di appartenenza MACCALLI & PEZZOLI S.r.l.
via Settembrini n. 40 città MILANO cap 20124 (prov) MI

C. DOMICILIO ELETTIVO destinatario

via _____ n. _____ città _____ cap _____ (prov) _____

D. TITOLO

classe proposta (sez/cl/sci) _____ gruppo/sottogruppo _____/_____/_____

"Rilevatore di sfasamento perfezionato, particolarmente per un circuito PLL"

ANTICIPATA ACCESSIBILITÀ AL PUBBLICO: SI ☐ NO ☒

SE ISTANZA: DATA _____/_____/_____ N° PROTOCOLLO _____

E. INVENTORI DESIGNATI

cognome nome
1) TEMPORITI MILANI Enrico 3) _____
2) ALBASINI Guido Gabriele 4) _____

F. PRIORITÀ

nazione o organizzazione	tipo di priorità	numero di domanda	data di deposito	allegato S/R
1) _____	_____	_____	____/____/____	<input type="checkbox"/>
2) _____	_____	_____	____/____/____	<input type="checkbox"/>

G. CENTRO ABILITATO DI RACCOLTA CULTURE DI MICRORGANISMI, denominazione:

H. ANNOTAZIONI SPECIALI

DOCUMENTAZIONE ALLEGATA

N. es.

Doc. 1)	<input checked="" type="checkbox"/>	PROV	n. pag. <u>129</u>	riassunto con disegno principale, descrizione e rivendicazioni (obbligatorio 1 esemplare)
Doc. 2)	<input checked="" type="checkbox"/>	PROV	n. tav. <u>103</u>	disegno (obbligatorio se citato in descrizione, 1 esemplare)
Doc. 3)	<input checked="" type="checkbox"/>	RIS		lettera d'incarico, procura o richiamo procedura generale <u>dich. sostitutiva</u>
Doc. 4)	<input type="checkbox"/>	RIS		designazione inventore
Doc. 5)	<input type="checkbox"/>	RIS		documenti di priorità con traduzione in italiano
Doc. 6)	<input type="checkbox"/>	RIS		autorizzazione o atto di cessione
Doc. 7)	<input type="checkbox"/>			nominativo completo del richiedente

8) attestati di versamento, totale Euro

DUECENTONOVANTUNO/80

COMPILATO IL 14/03/2003

FIRMA DEL(I) RICHIEDENTE(I)

MARCO MACCALLI

CONTINUA SI/NO NO

DEL PRESENTE ATTO SI RICHIEDE COPIA AUTENTICA SI/NO

SI

CAMERA DI COMMERCIO IND. ART. E AGR. DI MILANO

MILANO

VERBALE DI DEPOSITO

NUMERO DI DOMANDA

MI2003A 000485

L'anno

DUEMILATRE

QUATTORCI

il(i) richiedente(i) sopraindicato(i) ha(hanno) presentato a me sottoscritto la presente domanda, corredata da _____, degli aggiuntivi per la concessione del brevetto sopraindicato.

I. ANNOTAZIONI VARIE DELL'UFFICIALE ROGANTE

IL DEPOSITANTE

Idemius SpA

L'UFFICIALE ROGANTE

M. CORTONESI

RIASSUNTO INVENZIONE CON DISEGNO PRINCIPALE, DESCRIZIONE E RIVENDICAZIONE

NUMERO DOMANDA MI2003A 000485

REG. A

DATA DI DEPOSITO

14 03 2003

NUMERO BREVETTO

DATA DI RILASCIO

/ / /

D. TITOLO

"Rilevatore di sfasamento perfezionato, particolarmente per un circuito PLL"

L. RIASSUNTO

Un rivelatore di sfasamento atto a generare un segnale (I_{cp}) indicativo di uno sfasamento fra un primo segnale (Fr) ed un secondo segnale (Fd), comprendente: un primo elemento bistabile (200a) temporizzato dal primo segnale ed avente un primo segnale di uscita, ed un secondo elemento bistabile (200b) temporizzato dal secondo segnale ed avente un secondo segnale di uscita; mezzi (125) per determinare la variazione di detto segnale indicativo dello sfasamento, rispondenti a detti primo e secondo segnale di uscita, ed un circuito di azzeramento (205) avente un primo ed un secondo ingresso rispettivamente collegati ai detti primo e secondo segnale di uscita, ed atto a determinare l'azzeramento del primo e del secondo elemento bistabile in risposta al raggiungimento di un rispettivo stato prescritto da parte del primo e del secondo segnale di uscita. Detti primo e secondo ingresso del circuito di azzeramento sono sostanzialmente simmetrici fra loro dal punto di vista di un'impedenza di ingresso associata a ciascuno di essi.

M. DISEGNO

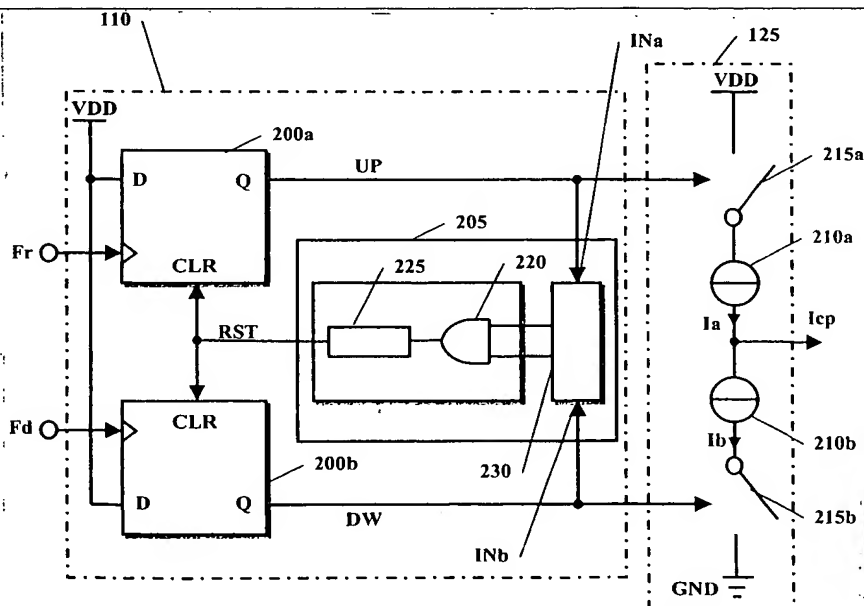


FIG. 2



Ing. Marco MACCALLI

N. Iscriz. 826

(in proprio e per gli altri)

DESCRIZIONE

dell'invenzione industriale dal titolo:

"RILEVATORE DI SFASAMENTO PERFEZIONATO, PARTICOLARMENTE
PER UN CIRCUITO PLL"

5 a nome: STMicroelectronics S.r.l.

MI 2003 A 0 00 48 5

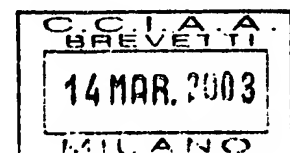
* * * * *

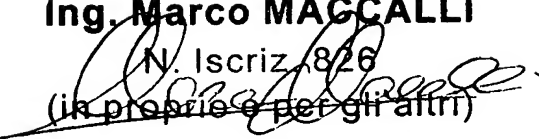
La presente invenzione si riferisce in generale ai
circuiti rivelatori di sfasamento, particolarmente del
tipo impiegato in circuiti ad anello ad aggancio di fase
10 (Phase-Locked Loop o PLL).

I circuiti PLL trovano largo impiego in svariate
applicazioni; ad esempio, nell'ambito delle
telecomunicazioni, i circuiti PLL sono utilizzati per
realizzare sintetizzatori di frequenza.

15 Come noto, il PLL è un circuito con retroazione
negativa che permette di ottenere, a partire da un
segnale di riferimento avente una frequenza data, o
frequenza di riferimento, un segnale avente frequenza
pari alla frequenza di riferimento, moltiplicata per un
20 prescritto fattore di moltiplicazione.

Più in particolare, un circuito PLL comprende un
rivelatore di sfasamento atto a rilevare lo sfasamento
fra il segnale di riferimento ed un segnale in
retroazione, derivato dal segnale di uscita del circuito
25 PLL mediante una rete di retroazione comprendente un



Ing. Marco MACCALLI
(N. Iscriz. 826)
(in proprio e per gli altri)

divisore di frequenza; il fattore di divisione implementato dal divisore di frequenza corrisponde al suddetto fattore di moltiplicazione. Il rivelatore di sfasamento, tipicamente costituito da un rivelatore di fase e frequenza seguito da un circuito a pompa di carica, genera un segnale, ad esempio in corrente, proporzionale allo sfasamento rilevato. Tale segnale, filtrato da un filtro d'anello con funzione di trasferimento tale da eliminare le componenti ad alta frequenza, ad esempio integrato e convertito in un segnale in tensione, costituisce il segnale di controllo di un oscillatore controllato in tensione, che genera il segnale di uscita del circuito PLL.

Il circuito PLL è in grado di generare segnali con frequenza pari ad un multiplo della frequenza del segnale di riferimento. Variando il fattore di moltiplicazione, e cioè il fattore di divisione del divisore di frequenza nella rete di retroazione, è possibile generare segnali a diverse frequenze; denominati in gergo canali.

Sono noti circuiti PLL nei quali il fattore N di moltiplicazione della frequenza è un numero intero. Le prestazioni di questi circuiti PLL, denominati circuiti PLL ad N intero, sono frutto di un compromesso nella scelta dei parametri di progetto, in particolare per quanto riguarda la larghezza di banda, il tempo di

N° Iscriz. 826/
(in proprio e per gli altri)

assestamento, la distanza fra i diversi canali o
risoluzione, il rumore di fase ed il consumo.

Queste limitazioni sono superate dai cosiddetti
circuiti PLL ad N frazionario, che consentono di ottenere
5 fattori di moltiplicazione della frequenza di riferimento
pari a numeri non interi. In particolare, a parità di
distanza fra i diversi canali, i PLL ad N frazionario
sono caratterizzati da un rumore di fase ridotto rispetto
ai PLL ad N intero.

10 Per ottenere un fattore di moltiplicazione
frazionario, dato un generico canale, il fattore di
divisione del divisore di frequenza nella rete di
retroazione viene fatto variare dinamicamente fra due
valori interi, ad esempio due valori interi consecutivi N
15 ed $N+1$, con una data periodicità. Questa tecnica consente
di generare segnali la cui frequenza è pari a multipli
non interi della frequenza del segnale di riferimento.

Uno dei principali svantaggi dei circuiti PLL ad N
frazionario consiste nella generazione di segnali spuri.
20 In particolare, tali segnali spuri si generano in
conseguenza della variazione periodica del fattore di
divisione di frequenza, da N ad $N+1$. I segnali spuri si
trovano a frequenze che distano dalla frequenza di
riferimento di multipli della frequenza con cui viene
25 fatto variare il fattore di divisione di frequenza.

Ing. Marco MACCALLI

N. Iscriz. 826

(in proprio e per gli altri)

Una tecnica nota per limitare l'effetto dei segnali spuri consiste nell'utilizzo di un modulatore $\Delta\Sigma$ per controllare il fattore di divisione di frequenza istantaneo del divisore di frequenza.

5 Il livello dei segnali spuri è aumentato dalla presenza di inevitabili non-linearità nell'anello del PLL, e particolarmente nel rivelatore di sfasamento. In particolare, le non-linearità nella caratteristica ingresso-uscita di tale sotto-assieme del PLL determina
10 un aumento nel livello del segnale spurio situato alla frequenza frazionaria pari al prodotto della frequenza di riferimento per il canale selezionato diviso il numero complessivo di canali. Il livello di tale segnale spurio è particolarmente elevato per quei canali che sono
15 caratterizzati da una frequenza frazionaria minore dell'ampiezza di banda dell'anello, a causa della limitata banda filtrante del filtro d'anello.

In B. De Muer ed altri, "A CMOS Monolithic $\Delta\Sigma$ -Controlled Fractional-N Frequency Synthesizer for DCS-
20 1800", IEEE JSSC, No. 7, July 2002, pagine da 835 a 844 si evidenzia come le non-linearità nella caratteristica ingresso-uscita del rivelatore di sfasamento siano la principale causa di segnali spuri, e che quindi sia auspicabile una ottimizzazione del rivelatore di fase
25 frequenza e del circuito a pompa di carica



particolare, gli autori di tale articolo individuano due tipi di non-linearità: una zona morta presente nella caratteristica ingresso-uscita per piccoli valori dello sfasamento, ed un diverso guadagno per sfasamenti
5 positivi e negativi, conseguenza dei disadattamenti nei generatori di corrente che servono a generare il segnale in corrente proporzionale allo sfasamento.

La Richiedente ha osservato che l'eliminazione dei due tipi summenzionati di non-linearità non consente di
10 ridurre in modo sufficiente il livello dei segnali spuri.

In vista dello stato della tecnica delineato, è stato quindi uno scopo della presente invenzione quello di migliorare le prestazioni dei rivelatori di sfasamento, per migliorare le caratteristiche di purezza
15 spettrale del segnale di uscita di un circuito PLL, ed in particolare di un circuito PLL ad N frazionario.

Più specificamente, è stato uno scopo della presente invenzione quello di migliorare la linearità della risposta del rivelatore di sfasamento.

20 In breve, la Richiedente ha osservato che, una volta eliminate o sostanzialmente ridotte le non-linearità sopra descritte, nella caratteristica ingresso-uscita del rivelatore di sfasamento permane un'ulteriore non-linearità; la Richiedente ha anche osservato che tale
25 ulteriore non-linearità è principalmente dovuta alla

Ing. Marco MACCALLI

N. Iscriz. 826

(in proprio e per gli altri)

variazione non simmetrica di impedenze non-lineari che caricano particolari segnali interni al rivelatore di sfasamento.

In accordo con la presente invenzione, al fine di
5 eliminare o ridurre sostanzialmente tali ulteriori non-linearità, viene fornito un rivelatore di sfasamento atto a generare un segnale indicativo di uno sfasamento fra un primo segnale ed un secondo segnale, comprendente un primo elemento bistabile temporizzato dal primo segnale
10 ed avente un primo segnale di uscita, un secondo elemento bistabile temporizzato dal secondo segnale ed avente un secondo segnale di uscita, mezzi atti a determinare la variazione di detto segnale indicativo dello sfasamento, rispondenti a detti primo e secondo segnale di uscita, ed
15 un circuito di azzeramento avente un primo ed un secondo ingresso rispettivamente collegati ai detti primo e secondo segnale di uscita, ed atto a determinare l'azzeramento del primo e del secondo elemento bistabile in risposta al raggiungimento di un rispettivo stato
20 prescritto da parte del primo e del secondo segnale di uscita.

Detti primo e secondo ingresso del circuito di azzeramento sono sostanzialmente simmetrici fra loro dal punto di vista di un'impedenza di ingresso associata a
25 ciascuno di essi.

Queste ed altre caratteristiche ed i vantaggi della presente invenzione saranno resi evidenti dalla seguente descrizione dettagliata di alcune sue forme di realizzazione pratica, fornite a puro titolo di esempi
5 non limitativi, che verrà fatta con riferimento ai disegni annessi, nei quali:

FIG. 1 è uno schema a blocchi di un PLL, particolarmente un PLL ad N frazionario;

FIG. 2 è uno schema a blocchi più dettagliato di un
10 sottoassieme rivelatore di sfasamento del PLL, in una forma di realizzazione della presente invenzione;

FIG. 3 è un diagramma temporale illustrativo del funzionamento del rivelatore di sfasamento di FIG. 2;

FIGG. 4A, 4B e 4C mostrano schematicamente tre
15 diversi tipi di non-linearità che affliggono la risposta di un rivelatore di sfasamento tradizionale; e

FIGG. 5 e 6 mostrano due possibili forme di
realizzazione di un elemento circuitale di
linearizzazione della risposta del rivelatore di
20 sfasamento.

Con riferimento ai disegni, in FIG. 1 è mostrato lo schema a blocchi di un circuito PLL 100, in particolare un circuito PLL digitale e particolarmente, ma non limitativamente, un circuito PLL ad N frazionario, del
25 tipo utilizzato nell'ambito dei circuiti sintetizzatori

di frequenza per sintetizzare un segnale di uscita F_o avente una frequenza prescritta F_o a partire da un segnale di riferimento F_r avente una frequenza di riferimento F_r , in generale diversa dalla frequenza F_o che si desidera ottenere. La frequenza F_o del segnale di uscita F_o viene anche chiamata canale del circuito PLL.

Il segnale di riferimento F_r è tipicamente generato da un oscillatore 105, ad esempio un oscillatore a cristallo di quarzo, atto a fornire un segnale di temporizzazione di base relativamente stabile e preciso in frequenza; tipicamente, il segnale di riferimento F_r fornito al circuito PLL è derivato dal segnale generato dall'oscillatore a cristallo di quarzo, scalando opportunamente in frequenza quest'ultimo segnale.

Il segnale di riferimento F_r è fornito ad un primo ingresso di un comparatore di fase e frequenza 110; un secondo ingresso del comparatore di fase e frequenza riceve un segnale di retroazione F_d , generato da un divisore di frequenza 115 a partire dal segnale di uscita F_o .

Il divisore di frequenza 115 è un divisore multimodulo, il cui fattore di divisione è fatto variare dinamicamente in modo tale per cui il segnale F_d ha, in media, una frequenza pari ad una frazione non intera della frequenza F_o del segnale di uscita



particolare, il divisore di frequenza multimodulo 115 è controllato da un circuito di controllo 120 che determina il valore istantaneo del fattore di divisione; in una forma di realizzazione esemplificativa e non limitativa della presente invenzione, il circuito di controllo 120 comprende un modulatore delta-sigma ($\Delta\Sigma$), che a sua volta riceve un codice digitale K atto a definire il fattore di divisione della frequenza F_0 .

Il comparatore di fase e frequenza 110 confronta fra loro i segnali F_r e F_d , al fine di determinarne lo sfasamento.

Il comparatore di fase e frequenza 110 controlla un circuito a pompa di carica 125 mediante una coppia di segnali UP ed DW, la cui attivazione da parte del comparatore di fase e frequenza 110 è selettiva e dipende dallo sfasamento rilevato fra i segnali F_r e F_d .

Il circuito a pompa di carica 125 genera un segnale in corrente I_{cp} , il cui valore è indicativo della differenza in frequenza fra i due segnali F_r e F_d .

Il segnale in corrente I_{cp} generato dal circuito a pompa di carica 125 è iniettato in un filtro d'anello 130, di caratteristiche spettrali atte a rimuovere le componenti ad alta frequenza nel segnale in corrente I_{cp} .

Il filtro d'anello 130 integra il segnale I_{cp} e genera un segnale in tensione V_{vco} .

**Ing. Marco MACCALLI**

N. Iscriz. 826

(in proprio e per gli altri)

Il segnale in tensione V_{vco} funge da tensione di controllo per un circuito oscillatore controllato in tensione (VCO) 135, che genera in uscita il segnale F_o .

Nel funzionamento, il VCO 135 oscilla inizialmente
5 ad una frequenza di oscillazione libera, conseguenza del rumore di fondo nel circuito PLL. Supponendo che il valore di regolazione K sia pari a 0, il circuito si comporta come un PLL a fattore di divisione intero. In questo caso, il divisore di frequenza 115 divide la
10 frequenza del segnale di uscita F_o sempre per lo stesso numero intero N , e quindi risulta $F_d = F_o/N$.

In una condizione non agganciata (come all'accensione o immediatamente dopo una commutazione di canale), la frequenza del segnale F_d è diversa dalla
15 frequenza F_r del segnale di riferimento F_r ; tale differenza di frequenza è rilevata dal comparatore di fase e frequenza 110, ed il circuito a pompa di carica genera un corrispondente segnale in corrente I_{cp} . La tensione di controllo V_{vco} fa variare la frequenza del
20 segnale di uscita F_o . In particolare, se la frequenza del segnale F_d è minore della frequenza del segnale di riferimento F_r , la tensione di controllo V_{vco} è tale da causare un aumentare della frequenza del segnale di uscita F_o ; al contrario, se la frequenza del segnale F_d è
25 maggiore della frequenza del segnale di riferimento F_r ,

la tensione di controllo Vvco è tale da determinare una diminuzione della frequenza del segnale di uscita Fo.

Un comportamento analogo si registra qualora i due segnali Fd ed Fr siano sfasati: il PLL tende in questo caso a riportare il segnale Fd in condizione di aggancio di fase col segnale Fr.

Trascorso un transitorio, la frequenza del segnale Fd raggiunge la frequenza Fr del segnale di riferimento Fr. In questa condizione, detta di aggancio, la frequenza Fo del segnale di uscita è quindi pari a $Fr \cdot N$, ossia un multiplo intero della frequenza Fr del segnale di riferimento. La frequenza Fo del segnale di uscita Fo può dunque essere regolata (in un intervallo di interesse) con una precisione, o distanza inter-canale, pari alla frequenza Fr del segnale di riferimento Fr.

Come noto, una conseguenza inevitabile del processo sopra descritto è che la moltiplicazione di frequenza effettuata dal PLL 100 fa aumentare il rumore di fase del segnale di uscita Fo quadraticamente con il valore N; perciò, il numero intero N deve essere tenuto relativamente basso; la distanza fra i canali è di conseguenza elevata.

Tale inconveniente è risolto grazie alla architettura cosiddetta frazionaria, in cui, in condizioni di aggancio, il fattore di divisione del

Ing. Marco MACCALLI

N. Iscriz. 826

(in proprio e per gli altri)

divisore di frequenza 115 è fatto variare dinamicamente. In particolare, considerando ad esempio un divisore di frequenza bimodulo, il fattore di divisione è fatto variare dinamicamente fra un valore intero N ed un valore intero $N+1$: dato un numero F di cicli del segnale di retroazione F_d , con $K < F$, il fattore di divisione del divisore di frequenza 115 è pari a $N+1$ per un numero K di volte, ed è pari a N per le restanti $(F-K)$ volte. Si ottiene così un rapporto di divisione medio sugli F cicli pari a $N+K/F$. Di conseguenza, in condizioni di aggancio, la frequenza F_o del segnale di uscita F_o è pari a $(N+K/F)F_r$; il valore K/F definisce un canale frazionario, cui corrisponde una rispettiva frequenza del segnale di uscita.

15 Il modulatore delta-sigma 120 può essere del tipo multibit, ed in questo caso è possibile utilizzare un divisore di frequenza multimodulo, in cui il fattore di divisione della frequenza può assumere più di due diversi valori interi.

20 L'architettura frazionaria permette di sintetizzare segnali di uscita con frequenza pari ad un multiplo non intero della frequenza del segnale di riferimento F_r ; pertanto, la frequenza del segnale di riferimento F_r può essere maggiore della distanza fra i canali, ed è così possibile ridurre il numero intero N . Le prestazioni



PLL 100 in termini di rumore di fase risultano così migliorate.

In FIG. 2 sono mostrati in maggior dettaglio il comparatore di fase e frequenza 110 ed il circuito a pompa di carica 125, in una forma di realizzazione della presente invenzione. Tali blocchi costituiscono, nel complesso, un rivelatore di sfasamento. Il rivelatore di fase e frequenza 110 è un circuito atto a rilevare differenze di fase fra i segnali Fr e Fd minori di $\pm 2\pi$ o maggiori di $\pm 2\pi$. Il nome "rivelatore di fase e frequenza" deriva dal fatto che, quando la differenza di fase fra i segnali Fr e Fd è minore di $\pm 2\pi$, il rivelatore 110 è considerato operare come rivelatore di fase, mentre quando la differenza di fase è maggiore di $\pm 2\pi$, il rivelatore 110 è considerato operare come rivelatore di frequenza.

In particolare, il segnale di riferimento Fr è fornito all'ingresso di temporizzazione ("clock") di un primo flip-flop di tipo D 200a; l'ingresso D del flip-flop 200a è collegato ad una linea di tensione di alimentazione VDD (pari ad esempio a 5V). In modo simile, il segnale Fd è fornito all'ingresso di clock di un secondo flip-flop di tipo D 200b; l'ingresso D del flip-flop 200b è collegato alla linea di alimentazione di tensione VDD.

Ing. Marco MACCALLI

N. Iscriz. 826

(in proprio e per gli altri)

L'uscita Q del flip-flop 200a e l'uscita Q del flip-flop 200b costituiscono i segnali di pilotaggio UP ed DW, rispettivamente, per il circuito a pompa di carica. Come mostrato in FIG. 2, il circuito a pompa di carica 125 può essere schematizzato come comprendente un primo ed un secondo generatore di corrente 210a, 210b, ciascuno dei quali è atto a generare una rispettiva corrente Ia, Ib. Il generatore di corrente 210a è posto in serie ad un interruttore 215a comandato dal segnale UP; il generatore di corrente 210b è posto in serie ad un interruttore 215b comandato dal segnale DW. La chiusura dell'interruttore 215a fa sì che il generatore di corrente 210a inietti la corrente Ia nel filtro d'anello 130; analogamente, la chiusura dell'interruttore 215b fa sì che il generatore di corrente 210b assorba la corrente Ib dal filtro d'anello 130.

Nella pratica, gli interruttori 215a e 215b possono essere realizzati mediante MOSFET, pilotati dai segnali UP e DW; ad esempio, un MOSFET a canale P, pilotato dal segnale UP (opportunamente invertito dal punto di vista dello stato logico) è utilizzato per formare l'interruttore 215a, ed un MOSFET a canale N, pilotato dal segnale DW, è utilizzato per formare l'interruttore 215b. I generatori di corrente 210a e 210b possono essere realizzati sempre mediante MOSFET, disposti a formare

Ing. Marco MACCALLI

N. Iscriz 826

(in proprio e per gli altri)

strutture a specchio di corrente.

Si osservi che, in alternativa, i segnali UP e DW possono essere costituiti dalle uscite Q# dei flip-flop 200a, 200b, complementari alle uscite Q, oppure uno dei due segnali UP e DW può essere costituito dall'uscita Q di uno dei due flip-flop 200a e 200b, mentre l'altro segnale può essere costituito dall'uscita complementare Q# dell'altro flip-flop. Opportune inversioni di stato logico potranno rendersi necessarie per pilotare i MOSFET del circuito a pompa di carica.

I segnali UP e DW sono anche forniti a rispettivi ingressi di un circuito di azzeramento 205 dei flip-flop 200a e 200b. Il circuito di azzeramento 205 rileva lo stato dei segnali UP e DW e, in funzione dello stato rilevato, controlla un segnale di uscita RST, che è fornito agli ingressi di azzeramento ("clear") CLR dei flip-flop 200a e 200b, per determinarne l'azzeramento.

Riferendosi al diagramma temporale semplificato di FIG. 3, ad ogni fronte di salita del segnale di riferimento Fr il flip-flop 200a carica lo stato logico ("1") presente sul rispettivo ingresso D, per cui l'uscita UP si porta nello stato logico "1". Analogamente, ad ogni fronte di salita del segnale Fd il flip-flop 200b carica lo stato logico ("1") presente sul rispettivo ingresso D, per cui l'uscita DW si porta nello

stato logico "1". Da un punto di vista logico, il circuito di azzeramento 205 si comporta sostanzialmente come una porta AND 220: fintanto che almeno uno dei segnali UP ed DW è de-asserito (ossia, è nello stato logico "0"), il circuito di azzeramento 205 mantiene in uno stato de-asserito (nell'esempio, corrispondente allo stato logico "0") il segnale di azzeramento RST; quando entrambi i segnali UP ed DW sono nello stato logico "1", il circuito di azzeramento 205 asserisce il segnale di azzeramento RST, determinando così l'azzeramento dei flip-flop 200a e 200b e, di conseguenza, il ritorno allo stato logico "0" dei due segnali UP e DW. I segnali UP e DW permangono nello stato logico "0" fino al successivo fronte di salita del segnale Fr e, rispettivamente, del segnale Fd.

Come è possibile rilevare dalla FIG. 3, il segnale UP permane nello stato logico "1" (atto a determinare la chiusura dell'interruttore 215a, e quindi l'attivazione del generatore di corrente 210a) per un tempo che dipende dal ritardo di fase del segnale Fd rispetto al segnale di riferimento Fr; la corrente Ia erogata dal generatore di corrente 210a tenderà a far aumentare progressivamente il valore della tensione di controllo Vvco del VCO 135, in modo che aumenti la frequenza del segnale di uscita Fd da esso derivato, così



da ridurre il ritardo di fase rispetto al segnale di riferimento Fr.

Per converso, il segnale DW permane nello stato logico "1" (atto a determinare la chiusura dell'interruttore 215b, e quindi l'attivazione del generatore di corrente 210b) per un tempo dipendente dall'anticipo di fase del segnale Fd rispetto al segnale di riferimento Fr; la corrente Ib erogata dal generatore di corrente 210b tenderà a far diminuire progressivamente il valore della tensione di controllo Vvco del VCO 135, in modo che diminuisca la frequenza del segnale di uscita Fo, e quindi la frequenza del segnale Fd da esso derivato, così da ridurre l'anticipo di fase rispetto al segnale di riferimento Fr.

Come accennato nella parte introduttiva della presente descrizione, un aspetto importante ai fini delle prestazioni del circuito PLL è la linearità della caratteristica ingresso-uscita del rivelatore di sfasamento, ossia del sottoassieme costituito dal rivelatore di fase e frequenza 110 e dal circuito a pompa di carica 125; tale caratteristica è la funzione che lega la carica elettrica di uscita Qcp del circuito a pompa di carica 110 allo sfasamento $\Delta\phi$ fra i segnali Fr e Fd. Se il rivelatore di fase e frequenza 110 ed il circuito a pompa di carica 125 fossero ideali, tale caratteristica

N. Iscriz. 826

(in proprio e per gli altri)

sarebbe perfettamente lineare. Nella pratica, tuttavia, le non-idealità del rivelatore di fase e frequenza 110 e del circuito a pompa di carica 125 causano l'insorgere di non-linearità in tale caratteristica ingresso-uscita.

5 Un primo tipo di non-linearità, già riconosciuto in letteratura (ad esempio, nel già citato articolo di De Muer ed altri), è mostrato schematicamente in FIG. 4A, in cui la caratteristica ideale è raffigurata in linea tratteggiata. Questo primo tipo di non-linearità, 10 consistente in una diversa pendenza della caratteristica carica di uscita Q_{cp} verso sfasamento $\Delta\phi$ per valori di sfasamento negativi o positivi, è causato dall'inevitabile disadattamento fra i generatori di corrente 210a e 210b, e quindi dalla differenza fra le 15 correnti I_a ed I_b da essi erogate. Come già accennato, nella pratica il circuito a pompa di carica è realizzato mediante MOSFET, ad esempio un MOSFET a canale P, comandato dal segnale UP (opportunamente invertito) per abilitare il generatore di corrente I_a , ed un MOSFET a 20 canale N, comandato dal segnale DW, per abilitare il generatore di corrente I_b , ed i generatori di corrente sono realizzati mediante strutture di MOSFET disposti a formare specchi di corrente; le inevitabili differenze fra i MOSFET, in particolare quelli che costituiscono le 25 strutture a specchio di corrente, ad esempio in termini

Ing. Marco MACCALLIN. Iscriz. 826
(in proprio e per gli altri)

di area e di guadagno, si traducono in una differenza nelle correnti I_a ed I_b , che causano il primo tipo di non-linearità: una differenza di guadagno del rivelatore di sfasamento per sfasamenti positivi e negativi. Al fine di eliminare questa non-linearità, è possibile prevedere una regolazione della corrente I_a erogata dal generatore 210a, o della corrente I_b assorbita dal generatore 210b, o di entrambe; tale regolazione può essere implementata mediante una regolazione manuale o con una calibratura automatica.

Un secondo tipo di non-linearità, anch'esso già riconosciuto in letteratura e mostrato schematicamente in FIG. 4B (in cui, come in FIG. 4A, la caratteristica ideale è raffigurata in linea tratteggiata), consiste in una cosiddetta zona morta presente nella caratteristica $Q_{cp} - \Delta\phi$ in corrispondenza di valori dello sfasamento $\Delta\phi$ prossimi allo zero. Tale non-linearità è eliminata prevedendo, nel circuito di azzeramento 205, ad esempio a valle della porta logica AND 220, un elemento 225 atto ad introdurre un ritardo di tempo prefissato nel percorso di azzeramento dei flip-flop 200a e 200b; tale elemento di ritardo può ad esempio essere praticamente realizzato mediante una catena di buffer invertenti (ad esempio, semplici invertitori CMOS) o non invertenti. In questo modo, entrambi i generatori di corrente 210a e 210b

risultano attivi per valori di sfasamento tra i segnali Fr ed Fd nell'intorno dello zero, ed il rivelatore di sfasamento è in grado di reagire ad errori di fase anche molto piccoli.

5 La Richiedente ha tuttavia osservato che, una volta eliminate o sostanzialmente ridotte le non-linearità sopra descritte, nella caratteristica ingresso-uscita del rivelatore di sfasamento permane un'ulteriore non-linearità. In particolare, la Richiedente ha osservato
10 che, una volta resi sostanzialmente uguali i guadagni per sfasamento positivi e negativi, ed eliminata la zona morta in prossimità dell'origine, la caratteristica $Q_{cp} - \Delta\phi$ manifesta una non-linearità residua, ad esempio, come mostrato schematicamente in FIG. 4C (in cui, come nelle
15 precedenti FIGG. 4A e 4B, la caratteristica ideale è sempre raffigurata in linea tratteggiata) in un intervallo di valori dello sfasamento $\Delta\phi$ relativamente prossimi allo zero, la Richiedente ha osservato che la caratteristica $Q_{cp} - \Delta\phi$ ha una pendenza significativamente maggiore
20 rispetto alla pendenza che la caratteristica $Q_{cp} - \Delta\phi$ presenta per valori di sfasamento $\Delta\phi$ maggiori (in valore assoluto).

La Richiedente ha osservato che tale ulteriore non-linearità è principalmente dovuta alla variazione non
25 simmetrica delle impedenze non-lineari che



uscite UP e DW del rivelatore di fase e frequenza 110, in occasione degli istanti di commutazione di tali segnali.

In particolare, la Richiedente ha osservato che tale non-linearità è presente anche nel caso in cui le
5 impedenze dei due ingressi del circuito a pompa di carica 125 siano sostanzialmente simmetriche.

La Richiedente ha infatti constatato che i noti circuiti di azzeramento 205 sono realizzati in modo tale che, in occasione della loro commutazione, i segnali UP
10 ed DW risultano caricati da impedenze non-lineari variabili in modo non simmetrico. Ad esempio, facendo riferimento a FIG. 5, nel caso comune in cui il circuito di azzeramento 205 comprenda una porta logica AND 220, la realizzazione di tale porta logica in tecnologia CMOS
15 prevede come noto la realizzazione di una porta logica NAND 500 con, a valle, un invertitore CMOS 505. E' possibile constatare che in tal caso le impedenze di carico dei segnali UP e DW sono fra loro diverse, data la asimmetria della struttura circuitale della porta NAND.
20 In particolare, mentre i due MOSFET a canale P P1 e P2 della porta NAND sono collegati in parallelo fra loro, i due MOSFET a canale N N1 ed N2 sono collegati in serie; pertanto, le capacità viste dai segnali UP e DW non sono uguali e non variano in modo simmetrico in occasione
25 della commutazione di tali segnali.

In 'accordo con una forma di realizzazione della presente invenzione, al fine di eliminare o quantomeno ridurre sostanzialmente la non-linearità residua causata da tale fenomeno, ad esempio del tipo mostrato in FIG. 4C, nel circuito di azzeramento 205 è previsto un elemento 230 atto a rendere sostanzialmente simmetriche le impedenze di carico dei segnali UP ed DW che costituiscono gli ingressi del circuito di azzeramento 205. In particolare, in una forma di realizzazione della presente invenzione, l'elemento di simmetrizzazione 230 è un blocco circuitale posto a monte del tradizionale circuito di azzeramento (comprendente ad esempio una porta logica, ad esempio una porta AND, ed una linea di ritardo), ed avente una coppia di ingressi INa, INb con rispettive impedenze di ingresso associate fra loro simmetriche. Ad esempio, l'elemento di simmetrizzazione 230 è posto a monte della porta logica AND 220.

L'elemento di simmetrizzazione 230 può essere praticamente realizzato in vari modi.

Ad esempio, con riferimento a FIG. 5, l'elemento di simmetrizzazione 230 può consistere in una struttura circuitale tale che, combinata con la tradizionale struttura circuitale di porta logica NAND CMOS, dia origine ad una porta logica NAND simmetrica; in particolare, in una forma di realizzazione della presente

Ing. Marco MACCALLI

N. Iscriz. 826

(in proprio e per gli altri)

invenzione, l'elemento di simmetrizzazione 230 comprende un ramo circuitale comprendente due MOSFET a canale N N3 ed N4, sostanzialmente identici ai MOSFET N1 ed N2 della porta NAND CMOS 500, collegati in serie fra loro e, nel
5 complesso, collegati in parallelo ai MOSFET N1 ed N2. Il MOSFET N4, adiacente alla massa GND, è comandato dallo stesso segnale, UP nell'esempio mostrato, che comanda il MOSFET N1, più distante dalla massa; analogamente, il MOSFET N3, più lontano dalla massa, è comandato dallo
10 stesso segnale, DW nell'esempio, che comanda il MOSFET N2 adiacente la massa. La struttura che si ottiene risulta dunque simmetrica, e simmetriche sono quindi le impedenze di carico dei segnali UP e DW.

Si osservi che, in modo del tutto simile, nel caso
15 in cui il circuito di azzeramento 205 comprenda una porta OR anziché una porta AND (ad esempio, nel caso in cui i segnali UP e DW siano costituiti dalle uscite Q# dei flip-flop 200a, 200b complementari alle uscite Q), l'elemento di simmetrizzazione comprenderà un ramo
20 circuitale con due MOSFET a canale P posti in serie, e collegati in parallelo alla serie dei due MOSFET a canale P della porta OR CMOS.

Alternativamente, l'elemento di simmetrizzazione 230 può essere un blocco circuitale atto a disaccoppiare
25 i segnali UP ed DW dagli ingressi ad impedenza

N. Iscriz. 828
(in proprio e per gli altri)

asimmetrica di un circuito di azzeramento tradizionale, ad esempio dagli ingressi della porta AND CMOS 220. Ad esempio, come mostrato in FIG. 6, il blocco di simmetrizzazione 230 può comprendere un primo ed un
5 secondo buffer non-invertente 600a, 600b (realizzati ad esempio mediante due invertitori CMOS in cascata), aventi impedenze d'ingresso sostanzialmente identiche fra loro, fra il segnale UP ed DW ed un rispettivo ingresso della porta AND CMOS 220.

10 La presente invenzione trova applicazione in particolare nei PLL frazionari, che sono molto sensibili alle non-linearità del sotto-assieme rivelatore di fase e frequenza e pompa di carica; tuttavia, l'invenzione può anche essere applicata ai PLL interi.

15 La presente invenzione è stata qui descritta in termini di alcune sue possibili forme di realizzazione. E' chiaro che i tecnici del settore potranno apportare varie modifiche alle forme di realizzazione descritte, come pure concepire altre forme di realizzazione della
20 presente invenzione, senza per questo uscire dall'ambito dell'invenzione definito nelle annesse rivendicazioni.

* * * * *



RIVENDICAZIONI

Ing. Marco MACCALLI

N. Iscriz. 826

(In proprio e per gli altri)

1. Un rivelatore di sfasamento atto a generare un
segnale (Icp) indicativo di uno sfasamento fra un primo
5 segnale (Fr) ed un secondo segnale (Fd), comprendente:

un primo elemento bistabile (200a) temporizzato dal
primo segnale ed avente un primo segnale di uscita, ed un
secondo elemento bistabile (200b) temporizzato dal
secondo segnale ed avente un secondo segnale di uscita;

10 mezzi (125) per determinare la variazione di detto
segnale indicativo dello sfasamento, rispondenti a detti
primo e secondo segnale di uscita, e

un circuito di azzeramento (205) avente un primo ed
un secondo ingresso (INa, INb) rispettivamente collegati
15 ai detti primo e secondo segnale di uscita, ed atto a
determinare l'azzeramento del primo e del secondo
elemento bistabile in risposta al raggiungimento di un
rispettivo stato prescritto da parte del primo e del
secondo segnale di uscita,

20 caratterizzato dal fatto che detti primo e secondo
ingresso del circuito di azzeramento sono sostanzialmente
simmetrici fra loro dal punto di vista di un'impedenza di
ingresso associata a ciascuno di essi.

25 2. Il rivelatore di sfasamento della rivendicazione

Ing. Marco MACCALLI

N. Iscriz. 826

(in proprio e per gli altri)

1, in cui il circuito di azzeramento comprende, associati a detti primo e secondo ingresso, mezzi di simmetrizzazione dell'impedenza di ingresso.

5 3. Il rivelatore di sfasamento della rivendicazione 2, in cui il circuito di azzeramento comprende un circuito logico (220) con un primo ingresso logico ed un secondo ingresso logico, rispettivamente accoppiati al primo ed al secondo segnale, ed atto a rilevare il
10 raggiungimento del rispettivo stato prescritto da parte del primo e del secondo segnale di uscita, ed in cui detti mezzi di simmetrizzazione sono associati a detti primo e secondo ingresso logico.

15 4. Il rivelatore di sfasamento della rivendicazione 3, in cui detti mezzi di simmetrizzazione comprendono mezzi di disaccoppiamento (600a,600b) del primo e secondo ingresso del circuito di azzeramento dal primo e secondo ingresso logico, rispettivamente.

20

5. Un circuito ad anello ad aggancio di fase atto a generare un segnale di uscita agganciato in frequenza e fase ad un segnale di riferimento, comprendente un rivelatore di sfasamento (110,125) atto a rilevare uno
25 sfasamento fra il segnale di riferimento ed un segnale

derivato dal segnale di uscita, ed un oscillatore controllato da un segnale di sfasamento generato dal rivelatore di sfasamento, caratterizzato dal fatto che il rivelatore di sfasamento è realizzato in accordo con una qualunque delle rivendicazioni precedenti.

6. Il circuito ad anello ad aggancio di fase della rivendicazione 5, comprendente un divisore di frequenza atto a generare il segnale derivato mediante divisione in frequenza del segnale di uscita, detto divisore essendo comandato per implementare un fattore di divisione pari ad un numero intero.

7. Il circuito ad anello ad aggancio di fase della rivendicazione 5, comprendente un divisore di frequenza atto a generare il segnale derivato mediante divisione in frequenza del segnale di uscita, detto divisore essendo comandato per implementare un fattore di divisione medio pari ad un numero non intero.

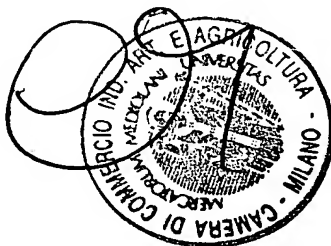
20

8. Un circuito sintetizzatore di frequenza, comprendente un generatore di un segnale di riferimento, ed un circuito ad anello ad aggancio di fase realizzato in accordo ad una qualunque delle rivendicazioni 5, 6 o 7.

25

9. Un metodo per migliorare le caratteristiche di linearità della risposta di un rivelatore di sfasamento atto a generare un segnale (Icp) indicativo di uno sfasamento fra un primo segnale (Fr) ed un secondo segnale (Fd), e comprendente un primo elemento bistabile (200a) temporizzato dal primo segnale ed avente un primo segnale di uscita, un secondo elemento bistabile (200b) temporizzato dal secondo segnale ed avente un secondo segnale di uscita, mezzi (125) per determinare la variazione di detto segnale indicativo dello sfasamento, rispondenti a detti primo e secondo segnale di uscita, ed un circuito di azzeramento (205) avente un primo ed un secondo ingresso (INa, INb) rispettivamente collegati ai detti primo e secondo segnale di uscita, ed atto a determinare l'azzeramento del primo e del secondo elemento bistabile in risposta al raggiungimento di un rispettivo stato prescritto da parte del primo e del secondo segnale di uscita,

caratterizzato dal fatto di comprendere
rendere sostanzialmente simmetrici fra loro dal punto di vista di un'impedenza di ingresso associata a ciascuno di essi detti primo e secondo ingresso del circuito di azzeramento.



Ing. Marco MACCAI

N. Iscriz. 826

(in proprio e per gli altri)



1/3

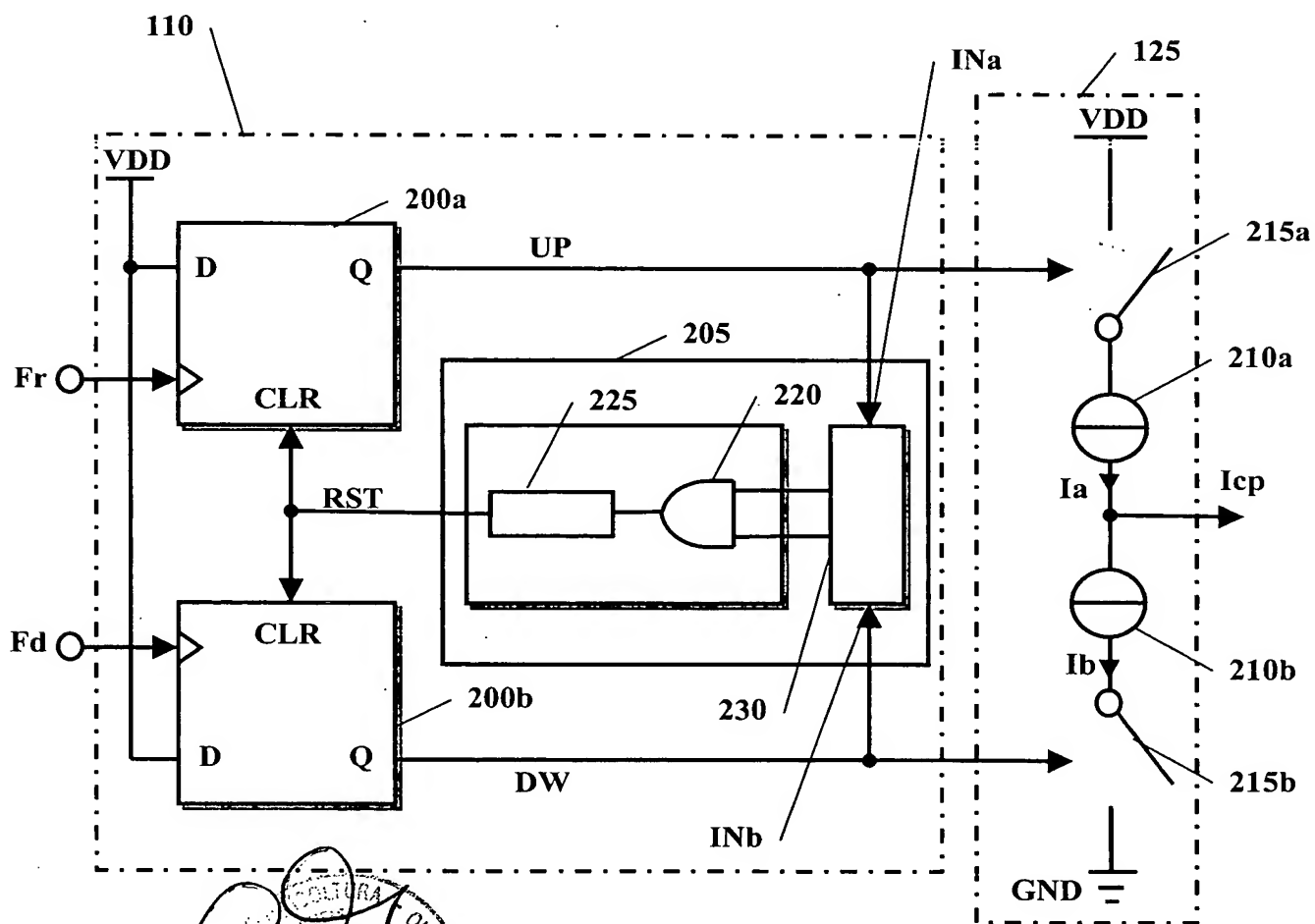
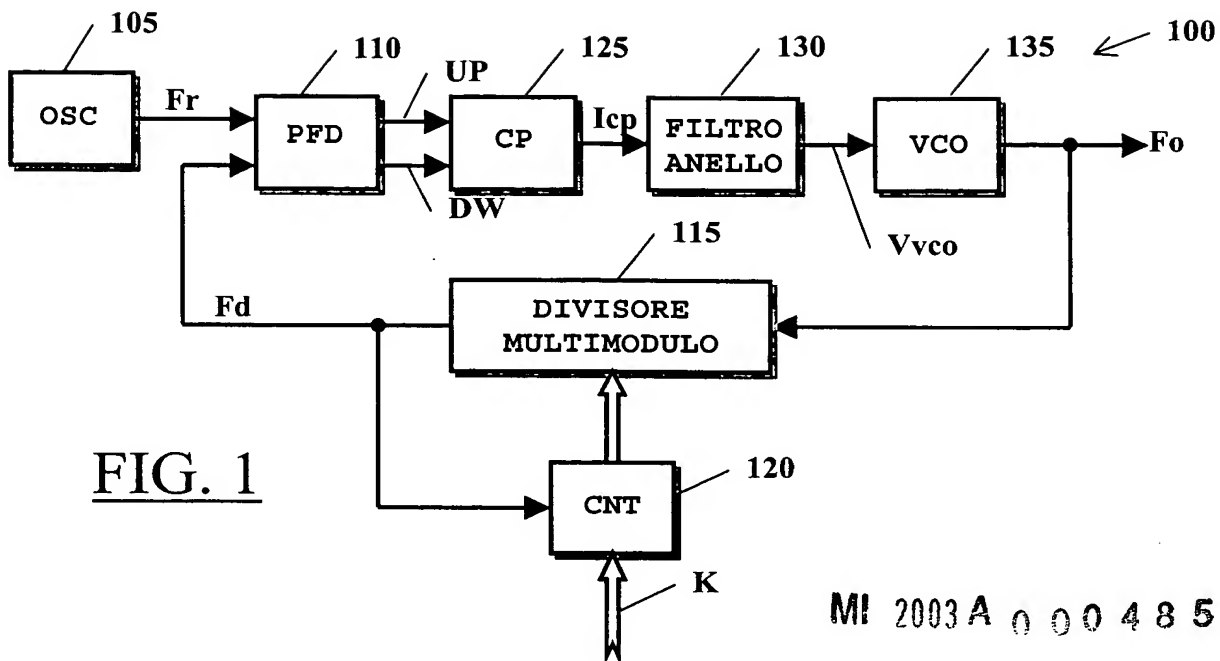


FIG. 2

Ing. Marco MACCALLI

N. Isoriz. 826

(in proprio e per gli altri)

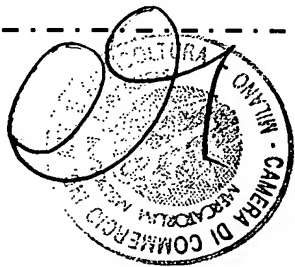


FIG. 3

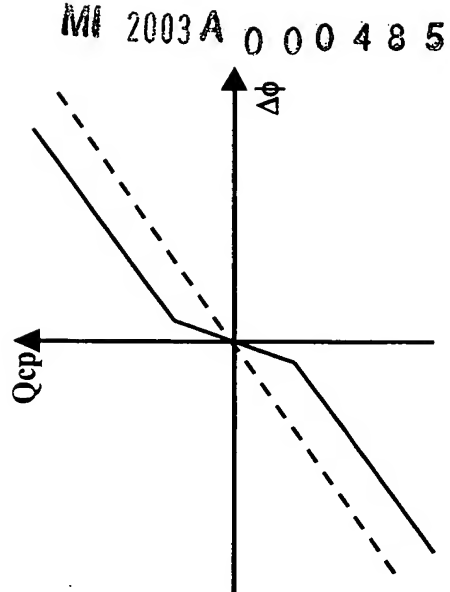
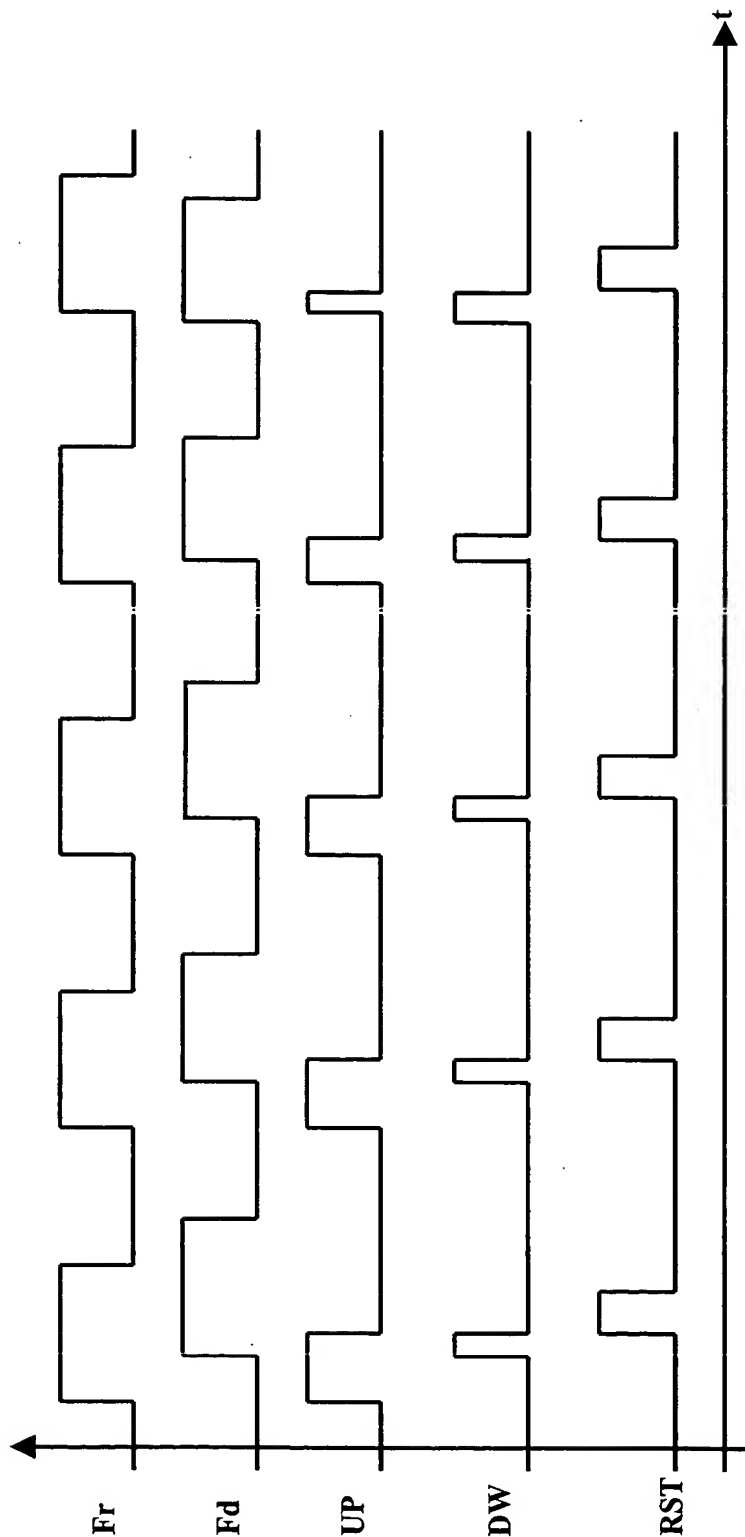


FIG. 4C

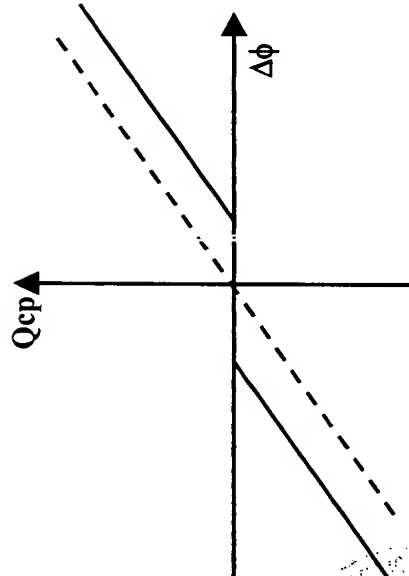


FIG. 4B

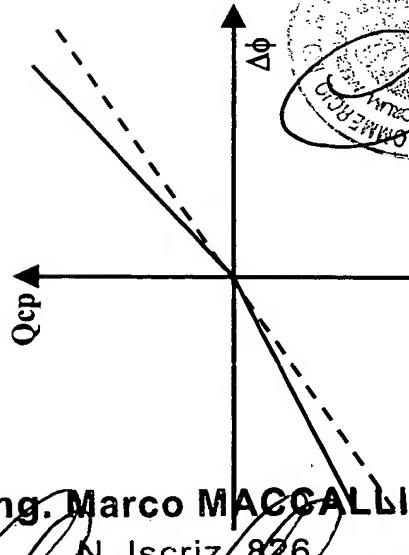
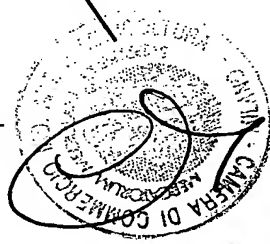


FIG. 4A



Ing. Marco MACCALLI

N. Iscriz. 826

(in proprio e per gli altri)

3/3

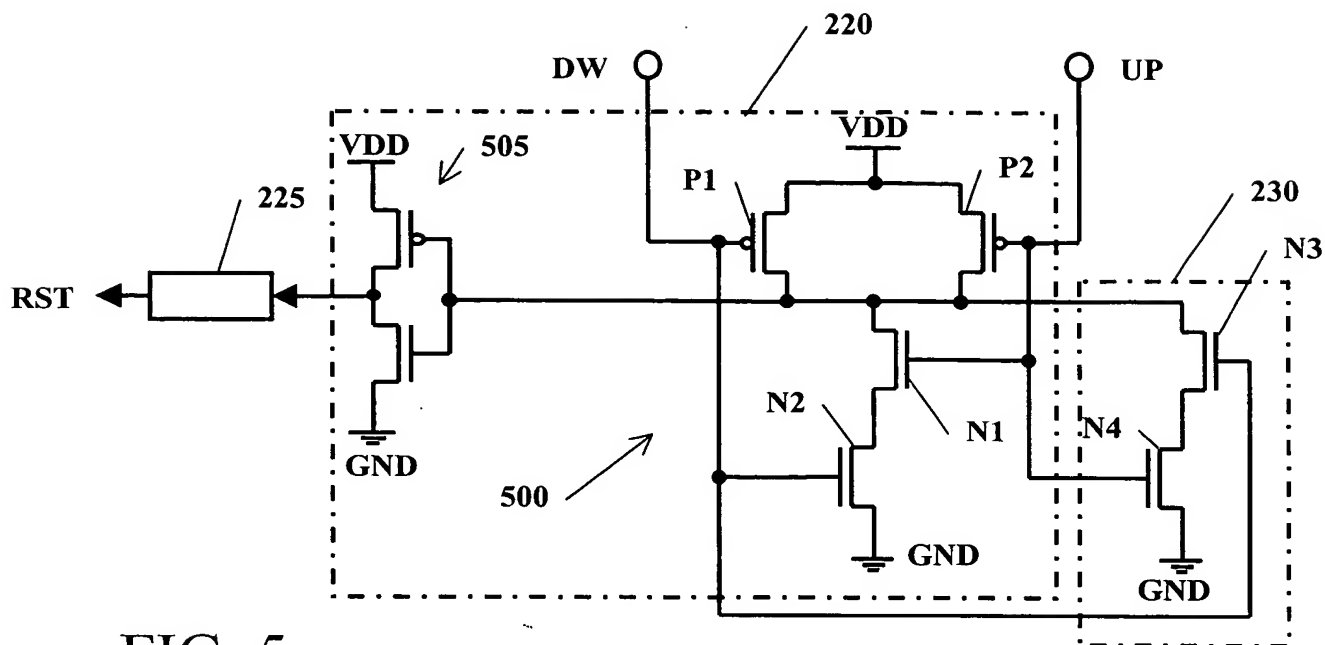


FIG. 5

MI 2003 A 0 0 0 4 8 5

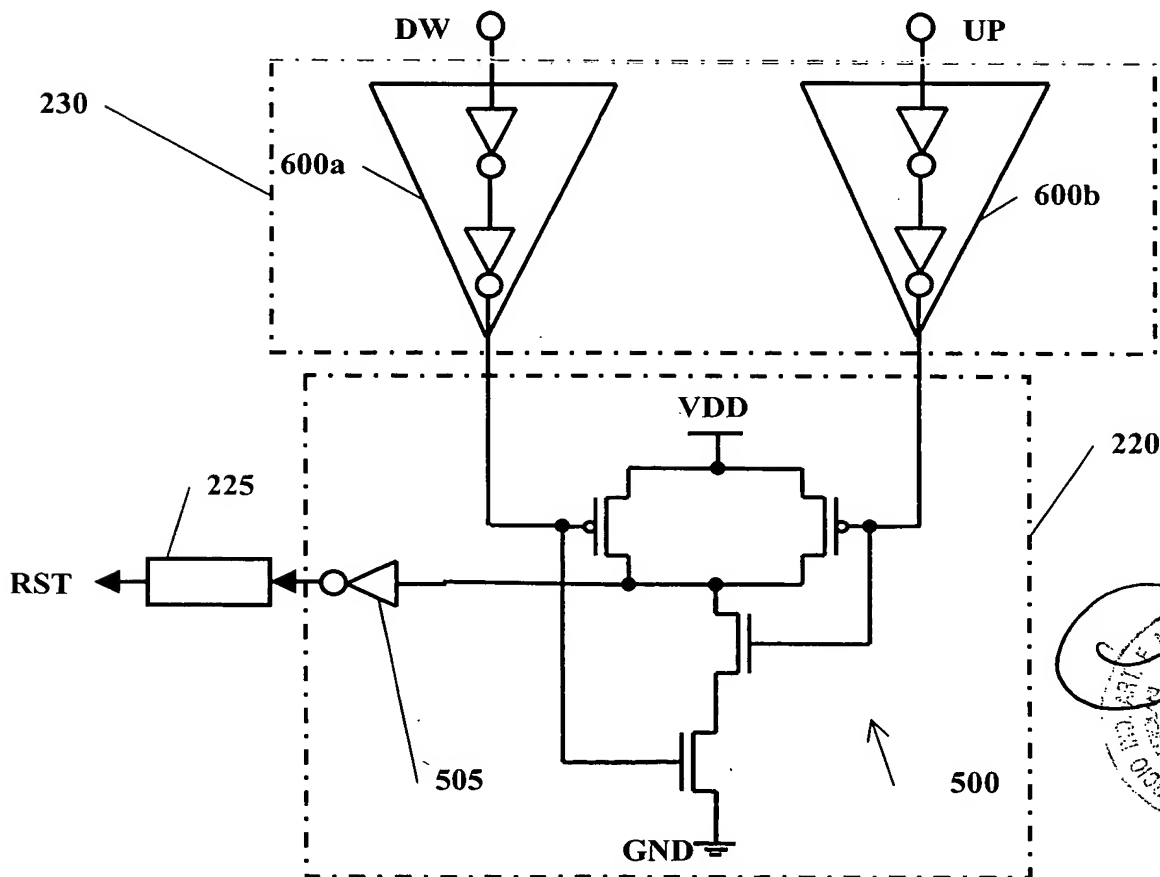


FIG. 6

Ing. Marco MACCALLI

N. Iscriz. 826

(in proprio e per gli altri)